

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 2月26日

出 願 番 号
Application Number: 特願2003-049574

[ST. 10/C]: [JP 2003-049574]

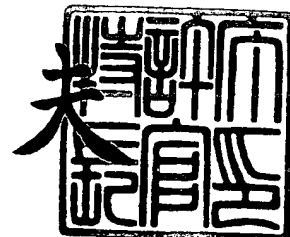
出 願 人
Applicant(s): セイコーインスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2004年 2月20日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



【書類名】 特許願

【整理番号】 03000142

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 31/02

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 町田 聡

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 イメージセンサー IC

【特許請求の範囲】

【請求項 1】 光電変換装置と、
前記光電変換装置の信号を入力する信号処理回路と、
前記信号処理回路の出力に接続する信号出力端子と、
前記信号処理回路の基準電圧に接続する基準電圧端子と、
基準電圧回路と、前記基準電圧回路と前記基準電圧端子の間に設けられた抵抗と、を有し、

前記信号処理回路は、前記光電変換装置の光電変換手段の光電変換領域に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる信号を、前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドするホールド回路と、

サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算回路と、

前記増幅された信号を前記前半の期間にクランプするクランプ回路と、を有し、

前記クランプ回路の基準電圧は、前記基準電圧端子に接続されていることを特徴とするイメージセンサー IC。

【請求項 2】 前記クランプ後の信号を増幅するゲインアンプを設け、前記ゲインアンプの基準電圧は、前記基準電圧端子に電氣的に接続したことを特徴とする請求項 1 記載のイメージセンサー IC。

【請求項 3】 請求項 1 ないし 2 に記載の複数のイメージセンサー IC の基準電圧端子を互いに電氣的に接続したことを特徴とするイメージセンサー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、イメージセンサー IC と、イメージセンサー IC を複数実装した密

着型イメージセンサーに関する。

【 0 0 0 2 】

【従来の技術】

従来のイメージセンサーの回路図を示す図 1 0 と、タイミングチャートを示す図 1 1 を用いて説明する。

【 0 0 0 3 】

この発明は、チップ間段差に起因する F P N を除去し、ダーク補正を必要としない高性能の密着型イメージセンサーを提供することを目的としている。

【 0 0 0 4 】

この発明は、複数の光電変換素子の光信号とノイズ信号とをそれぞれ読み出して保持する信号保持手段と、前記信号保持手段の光信号とノイズ信号とをそれぞれ出力する共通出力線と、該共通出力線をそれぞれリセットするリセット手段と、該それぞれの共通出力線から出力する読み出し手段とを有する半導体光センサチップが実装基板上に複数実装されたセンサモジュールと、前記センサモジュールにおいて、各センサチップのノイズ信号及び光信号を入力する光信号入力バッファ手段と、前記ノイズ信号入力バッファアンプと前記光信号入力バッファアンプとの差分をとる差動手段と、前記差動手段の出力をクランプする電圧クランプ手段と、を同一半導体基板上に形成された半導体装置からなることを特徴とする密着型イメージセンサにおいて、前記電圧クランプ手段は、前記光信号共通出力線、及び前記ノイズ信号共通出力線がリセットされている状態をクランプすることを特徴としている。

【 0 0 0 5 】

また、アンプチップ 2 0 0 とセンサチップ 1 0 0 は別チップで構成されている（例えば、特許文献 1 参照。）。

【 0 0 0 6 】

【特許文献 1】

特開平 1 1 - 1 1 2 0 1 5 号公報（第 4 - 5 頁、第 1 図）

【 0 0 0 7 】

【発明が解決しようとする課題】

しかし、このようなイメージセンサーにおいては、アンプチップ200とセンサチップ100を別に設ける必要があるため、構成要素が多くなる欠点があった。すなわち、アンプチップは基準信号と光信号の差を増幅するが、各アンプ201、202、203のオフセットのため、センサチップに内蔵すると、センサチップ間でオフセットの差が出てしまうという問題があった。また、アンプチップの回路は、基準信号と光信号が同一の共通信号線に順に出力されるタイプのセンサチップに対応できないという問題があった。さらに増幅機能を持たせると、アンプのオフセットも増幅されてしまうという問題もあった。

【0008】

【課題を解決するための手段】

従来のこのような問題点を解決するために、本発明は、光電変換装置と、前記光電変換装置の信号を入力する信号処理回路と、前記信号処理回路の出力に接続する信号出力端子と、前記信号処理回路に接続する基準電圧端子と、基準電圧回路と、前記基準電圧回路と前記基準電圧端子の間に設けられた抵抗とからなるイメージセンサーICとし、

前記信号処理回路は、前記光電変換装置の光電変換手段の光電変換領域に入射した光で発生した電荷の蓄積を行った後に得られる光信号と、前記光電変換手段の基準となる信号を、前半の期間と後半の期間に分けて入力し、前記入力される信号を前記前半の期間にサンプルし前記後半の期間にホールドする機能と、前記サンプルホールド後の信号と前記入力される信号との差を取り出し増幅する減算機能と、前記増幅された信号を前記前半の期間にクランプする機能とを設けた信号処理回路であり、

前記クランプ機能の基準電圧は、前記基準電圧端子に接続することを特徴とした。

【0009】

また、複数の前記イメージセンサーICの基準電圧端子を電氣的に接続したことを特徴とする密着型イメージセンサーとした。

【0010】

この信号処理回路によれば、前半の期間と後半の期間の減算器の出力には同じ

オフセット電圧が乗っており、クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。したがって、固定パターンノイズの小さいイメージセンサー IC を得ることができる。また、イメージセンサー IC を複数実装し、各イメージセンサー IC に供給する基準電圧を共通にしたので、全ての各イメージセンサー IC の出力のチップ間の暗出力段差を小さくできる。

【0011】

また、この基準電圧は、各イメージセンサー IC 内の基準電圧回路の発生する基準電圧の平均値となるので、外部から基準電圧を供給する必要が無い。したがって、簡単な構成で固定パターンノイズの小さい密着型イメージセンサーを供給できる。

【0012】

【発明の実施の形態】

以下、本発明を図面を用いて説明する。図1(a)は、本発明の実施形態例の密着型イメージセンサーの概略図である。この密着型イメージセンサーは3つのイメージセンサー IC 41 からなり、それぞれのイメージセンサー IC 41 は、信号処理回路 42、光電変換装置 43、基準電圧回路 44、抵抗 45、基準電圧端子 46、信号出力端子 47 からなる。光電変換装置 43 の共通信号線は、信号処理回路 42 に入力し、信号処理回路 42 の出力は信号出力端子 47 につながっている。また、基準電圧端子 46 は、信号処理回路 42 の基準電圧につながっており、基準電圧回路 44 と基準電圧端子 46 の間に抵抗 45 が設けてある。

【0013】

全てのイメージセンサー IC 41 の信号出力端子 47 は、外部で接続されており、VOUT2 端子から外部に出力される。全てのイメージセンサー IC 41 の基準電圧端子 46 も外部で接続されており、必要に応じて、基準電圧端子 46 と GND 間に、基準電圧 VREF を安定にするための容量 48 が設けてある。

【0014】

それぞれのイメージセンサー IC 41 の基準電圧回路 44 の出力電圧は、プロセスばらつき等によってばらつく。しかし、この出力電圧は抵抗 45 を介して、

互いにショートしているので、容量 48 の V_{REF} 電位は、3 チップの基準電圧回路 44 の出力電圧の平均値となる。この電圧 V_{REF} が、全てのイメージセンサー IC 41 の信号処理回路 42 に供給されることになる。

【0015】

図 1 (b) は、本発明の実施形態例の信号処理回路 42 のブロック図である。入力端子 V_{IN} に入力した信号は、サンプルホールド回路 21 とバッファアンプ 23 に入力する。サンプルホールド回路 21 の出力はバッファアンプ 22 に入力する。バッファアンプ 22 の出力とバッファアンプ 23 の出力は、減算器 24 に入力し、減算器 24 の出力はクランプ回路 25 に入力する。減算器 24 とクランプ回路 25 の基準電圧は、共通にすることができ V_{REF} 端子につながっている。クランプ回路 25 の出力はバッファアンプ 26 に入力する。なおバッファアンプ 26 は、増幅回路に置き換えてもよい。さらに、この増幅回路の基準電圧を V_{REF} 端子と共通にしても良い。バッファアンプ 26 の出力は、サンプルホールド回路 27 に入力する。サンプルホールド回路 27 の出力はバッファアンプ 28 に入力する。バッファアンプ 28 の出力はトランスマッションゲート 29 に入力する。トランスマッションゲート 29 の出力は出力端子 V_{OUT} 2 につながる。なお、トランスマッションゲート 29 は、用途によっては不要である。

【0016】

図 2 は、本発明の実施形態例のサンプルホールド回路の回路図であり、サンプルホールド回路 21 とサンプルホールド回路 27 に使用できる。サンプルホールド回路はトランスマッションゲート 30 とダミースイッチ 31 と容量 C_1 からなる。このサンプルホールド回路は、 ϕ_{SH} とその反転である ϕ_{SHX} のパルスのノイズを相殺するために、トランスマッションゲート 30 の NMOS と PMOS のトランジスタサイズは同じにし、ダミースイッチ 31 の NMOS と PMOS のトランジスタのゲート面積は、トランスマッションゲートのトランジスタのゲート面積の半分にする。

【0017】

図 3 は、本発明の実施形態例のバッファアンプの回路図でありオペアンプ 3

2からなる。この回路は、バッファアンプ22、23、26、28に使用できる。なお、バッファアンプはソースフォロアアンプでもよい。

【0018】

図4は、本発明の実施形態例の増幅回路の回路図でありオペアンプ32と抵抗からなる。この回路は、バッファアンプ26の代わりに用いれば、信号処理回路の増幅率を大きくできる。また、この増幅回路の基準電圧VREFを図1(b)のVREF端子と共通にしても良い。

【0019】

図5は、本発明の実施形態例の減算器の回路図でありオペアンプ32と抵抗からなる。この回路は、INPの電圧からINMの電圧を引いた電圧を、抵抗の比率で決まるゲイン倍し、VREFの電圧を基準として出力する。INPとINMに入力する端子を逆にすれば、出力をVREFの電圧を基準に反転することができる。

【0020】

図6は、本発明の実施形態例のクランプ回路の回路図であり、クランプ回路25に使用できる。クランプ回路はトランSMissionゲート30とダミースイッチ31と容量33からなる。このクランプ回路は、 ϕ CLAMPとその反転である ϕ CLAMPXのパルスのノイズを相殺するために、トランSMissionゲート30のNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ31のNMOSとPMOSのトランジスタのゲート面積は、トランSMissionゲートのトランジスタのゲート面積の半分にする。

【0021】

図7は、本発明の実施形態例の光電変換装置43の概略回路図である。図7に示す光電変換ブロックAnの枠の内側の要素は画素数分設けられており、各ブロックのチャンネル選択スイッチ7は共通信号線11に接続している。なお、光電変換ブロックAnはnビット目の光電変換ブロックを示している。図8に、光電変換装置の全体構成図を示す。

【0022】

この回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転

送スイッチ 4、リセット手段となるリセットスイッチ 2、アンプ手段 3、容量 5、MOS ソースフォロアを形成する MOS トランジスタ 6、チャンネル選択手段となるチャンネル選択スイッチ 7、共通信号線 11、第 1 の電流源 8 からなる。

【0023】

アンプ手段 3 は MOS ソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子 10 を設けても良い。また、MOS トランジスタ 6 のゲートとソース間には寄生容量 9 が存在する。また、MOS トランジスタ 6 のソースに、第 2 の電流源 51 が接続されている。この電流源はイネーブル信号 ϕ_{RR} によってオン・オフし、オン状態では、第 1 の電流源 8 と同程度の電流が流れるようになっている。

【0024】

この光電変換装置の出力端子 VOUT は、図 1 (b) の信号処理回路の入力端子 VIN に入力する。光電変換装置と信号処理回路は、1 つの半導体基板上に形成することができる。

【0025】

図 9 は、本発明の実施形態例の光電変換装置と信号処理回路のタイミングチャートである。

【0026】

以下にこのタイミングチャートを参照しながら、本実施形態の動作を説明する。

まず、n ビット目の光電変換ブロックの動作について説明する。

【0027】

$\phi_{R(n)}$ によりリセットスイッチ 2 がオンすると、フォトダイオード 1 の出力端子 Vdi は基準電圧 Vreset に固定され、リセットスイッチ 2 がオフすると、Vdi の電圧は Vreset にオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ 3 の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ 3 の出力電圧の差をとればよい。

【0028】

そこで、図9のように、 $\phi R(n)$ によりリセットスイッチ2がオフした後、 $\phi T1(n)$ により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。このとき、イネーブル信号 $\phi RR(n)$ により電流源51をオン状態にすることによって、MOSトランジスタ6のソース電位を、 $\phi SCH(n)$ がオン状態の読み出し時と同程度にする。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の $\phi SCH(n)$ によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、 $\phi T1(n)$ をオンし、光信号を容量5に読み出すと、この光信号が共通信号線11に読み出される。このとき、電流源51をオフ状態にする。このことによって、TRの期間で基準信号を容量5に読み出すときと、TSの期間でフォトダイオードに蓄積した電荷に応じた光信号を容量5に読み出すときのMOSトランジスタ6のソース電位を、同程度にすることができる。したがって、容量5に蓄える電荷への寄生容量9の影響を小さくすることができる。このことによって、暗出力電圧のオフセットを小さくできる。

【0029】

以上の動作により、 $\phi SCH(n)$ のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、 $\phi T1(n)$ をオフしてから、 $\phi SCH(n)$ をオフし、 $\phi R(n)$ をオンして、次のフォトダイオードのリセットを行い、再び $\phi T1(n)$ をオンして、TRの期間で基準信号を容量5に読み出す。

【0030】

$\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の他のパルスは、 n ビット目のパルスよりも、全て ϕSCH のオン期間だけ後ろにずれる。

【0031】

以上の説明で、第2の電流源51は無くてもよい。その場合は、 ϕRR のパルスは不要となる。

【0032】

上記のように、VOUT端子からは、nビット目の基準信号、nビット目の光信号、n+1ビット目の基準信号、n+1ビット目の光信号の順で出力される。以下で、便宜上、基準信号の出力期間を前半期間、光信号の出力期間を後半期間とする。

【0033】

次に信号処理回路の動作を説明する。

【0034】

VIN端子に上記VOUT端子の出力が入力される。サンプルホールドパルス $\phi SH1$ は、基準信号が出始めてからオンし、基準信号が終わる前にオフする。これにより、基準信号がサンプルホールドされる。VINの信号とサンプルホールド後の信号は、減算器に入力する。前半期間は同じ基準信号が減算器に入力し、後半期間は、サンプルホールドされた基準信号と光信号が減算器に入力する。したがって、減算器の出力は、前半期間はVREFレベル、後半期間は基準信号と光信号の差をゲイン倍したレベルにVREFレベルを加えたレベルとなる。また、前半期間の出力には、バッファアンプ22、23と減算器24のオフセットが乗り、後半期間の出力には、バッファアンプ22、23と減算器24のオフセットと、サンプルホールド回路21のオフセットが乗る。

【0035】

クランプパルス $\phi CLAMP$ は、 $\phi SH1$ がオンする前にオンし、 $\phi SH1$ がオフする前にオフするように加える。これにより、クランプ回路25の出力は、前半期間が、VREFレベルにクランプされ、後半期間は、減算器の後半出力から前半出力を引いたレベルにVREFレベルを加えたレベルとなる。この結果、クランプ回路の後半期間の出力には、バッファアンプ22、23と減算器24のオフセットが乗らない。また、サンプルホールド回路21のオフセットは、 ϕSH パルスとその反転である ϕSHX パルスのノイズが相殺する回路になっているので小さい。以上から、クランプ回路の後半期間の出力は、VREFレベルを基準に、基準信号と光信号の差をゲイン倍したレベルを加えたレベルになる。

【0036】

サンプルホールドパルス $\phi SH2$ は、光信号が出始める前後にオンし、光信号

が終わる前にオフする。これにより、クランプ後の出力の後半期間の出力がサンプルされ、次のビットの前半期間にホールドされる。したがって、長い期間出力レベルを維持することができる。

【0037】

以上の説明で、光電変換装置は、基準信号と光信号を順に出力するものであれば、どのような回路であってもよい。また、基準信号と光信号の出力の順が逆であっても、減算器のIMPとINMの端子を逆に接続すれば、対応できる。また、減算器のIMPとINMの端子を逆に接続すれば、減算器の出力はVREFレベルを基準に反転するので、光信号の感度が正負どちらであっても、信号処理回路の感度を正にできる。

【0038】

以上のように、本発明によれば、前半の期間と後半の期間の減算器の出力には同じオフセット電圧が乗っており、クランプ回路で、この前半と後半の減算器の出力の差を取り出すので、基準電圧を基準とした、減算器のオフセットをキャンセルした信号を取り出すことができる。

【0039】

そして、クランプ回路に供給される基準電圧は、全てのイメージセンサーICについて同じレベルであるので、全てのイメージセンサーICの出力のチップ間の暗出力段差を小さくできる。すなわち固定パターンノイズの小さい密着型イメージセンサーを得ることができる。このとき、信号処理回路には、トランスミッションゲート29が設けられているので、各イメージセンサーICの出力を共通の信号線に読み出すことが可能である。

【0040】

以上の説明で、本発明は上述した各実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。

【0041】

【発明の効果】

以上説明したように、本発明は簡単な構成で、暗出力のばらつきが小さいイメージセンサーICを供給できる。また、このイメージセンサーICを複数個直線

状に実装した、暗出力のばらつきが小さい密着型イメージセンサーを供給することができる。

【図面の簡単な説明】

【図 1】

図 1 (a) は本発明の実施形態例の密着型イメージセンサーの概略図である。

図 1 (b) は本発明の実施形態例の信号処理回路のブロック図である。

【図 2】

本発明の実施形態例のサンプルホールド回路の回路図である。

【図 3】

本発明の実施形態例のバッファ回路の回路図である。

【図 4】

本発明の実施形態例の増幅回路の回路図である。

【図 5】

本発明の実施形態例の減算器の回路図である。

【図 6】

本発明の実施形態例のクランプ回路の回路図である。

【図 7】

本発明の実施形態例の光電変換装置の概略回路図である。

【図 8】

本発明の実施形態例の光電変換装置の全体構成図である。

【図 9】

本発明の実施形態例の光電変換装置と信号処理回路のタイミングチャートである。

【図 10】

従来のイメージセンサーの回路図である。

【図 11】

従来のイメージセンサーのタイミングチャートである。

【符号の説明】

1 フォトダイオード

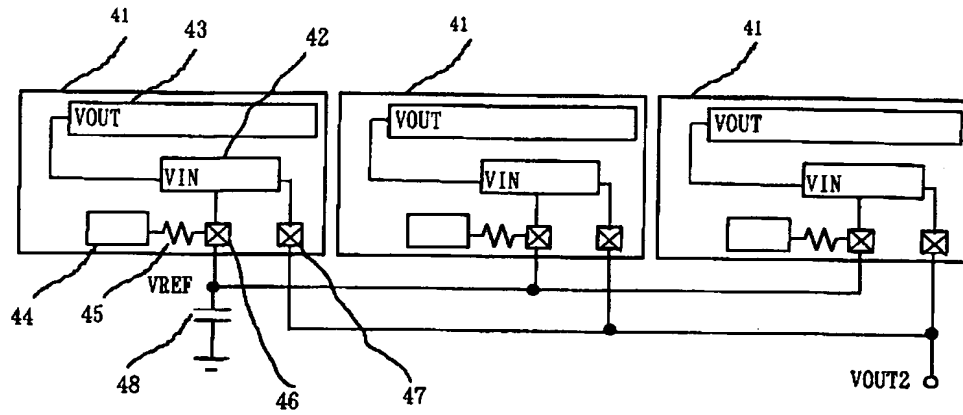
- 2 リセットスイッチ
- 3 アンプ
- 4 転送スイッチ
- 5 容量
- 6 MOS トランジスタ
- 7 チャンネル選択スイッチ
- 8 第 1 の電流源
- 9 寄生容量
- 1 0 アンプイネーブル端子
- 1 1 共通信号線
- 2 1 サンプルホールド回路
- 2 2 バッファアンプ
- 2 3 バッファアンプ
- 2 4 減算器
- 2 5 クランプ回路
- 2 6 バッファアンプ
- 2 7 サンプルホールド回路
- 2 8 バッファアンプ
- 2 9 トランスミッションゲート
- 3 0 トランスミッションゲート
- 3 1 ダミースイッチ
- 3 2 オペアンプ
- 3 3 クランプ容量
- 4 1 イメージセンサー I C
- 4 2 信号処理回路
- 4 3 光電変換装置
- 4 4 基準電圧回路
- 4 5 抵抗
- 4 6 基準電圧端子

- 4 7 信号出力端子
- 4 8 容量
- 5 1 第 2 の電流源
- A n n ビット目の光電変換ブロック

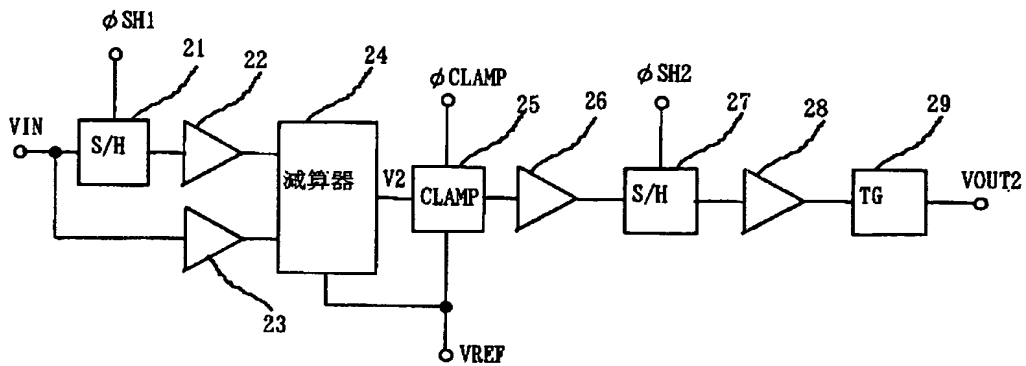
【書類名】 図面

【図 1】

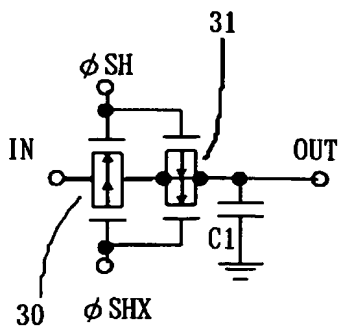
(a)



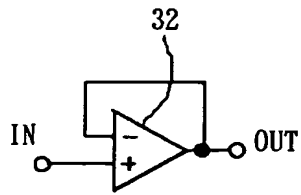
(b)



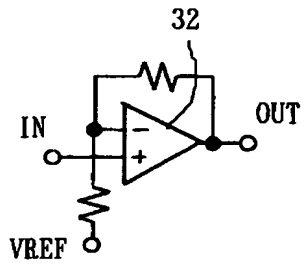
【図 2】



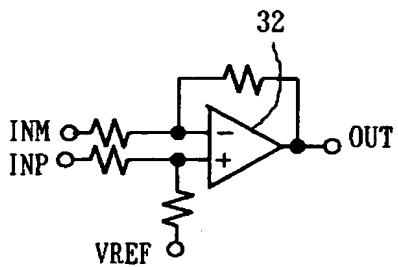
【図 3】



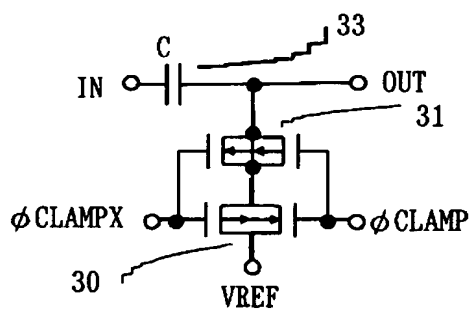
【図 4】



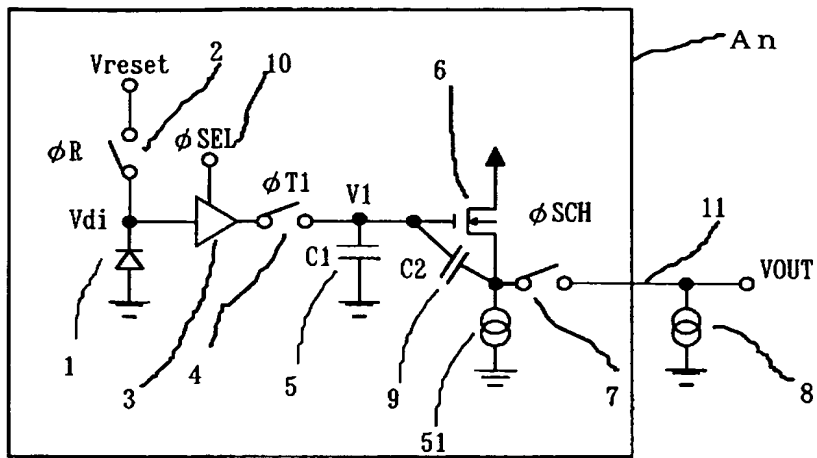
【図 5】



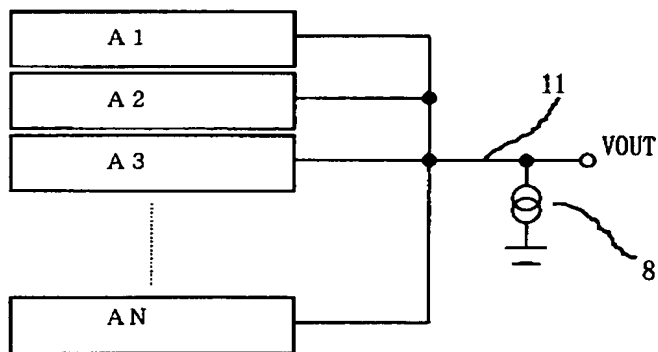
【図 6】



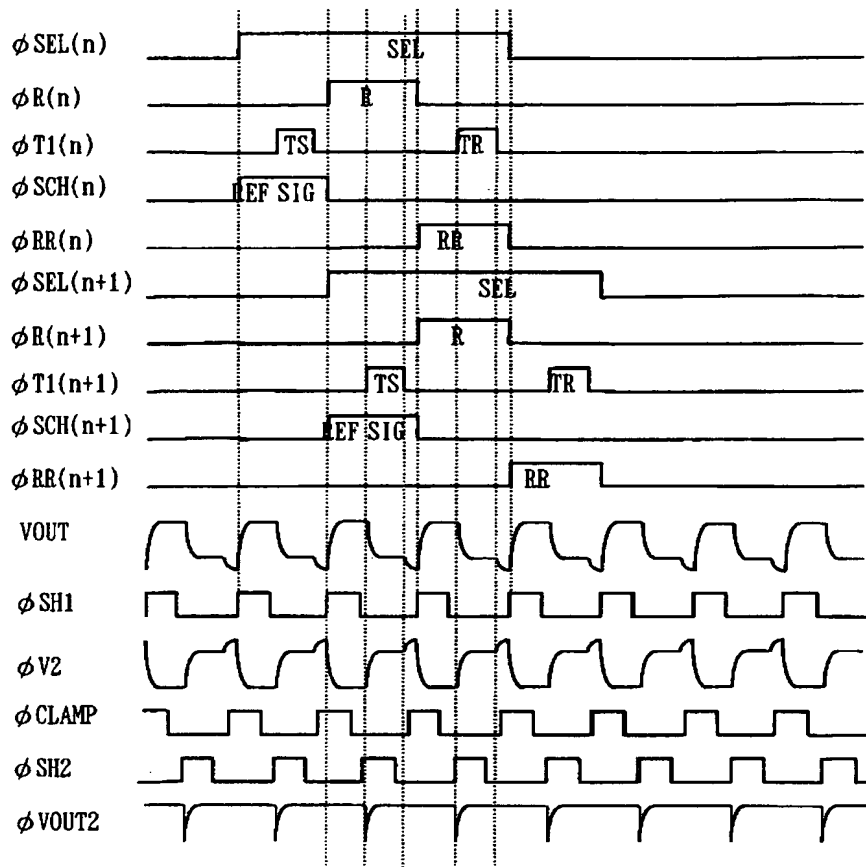
【図 7】



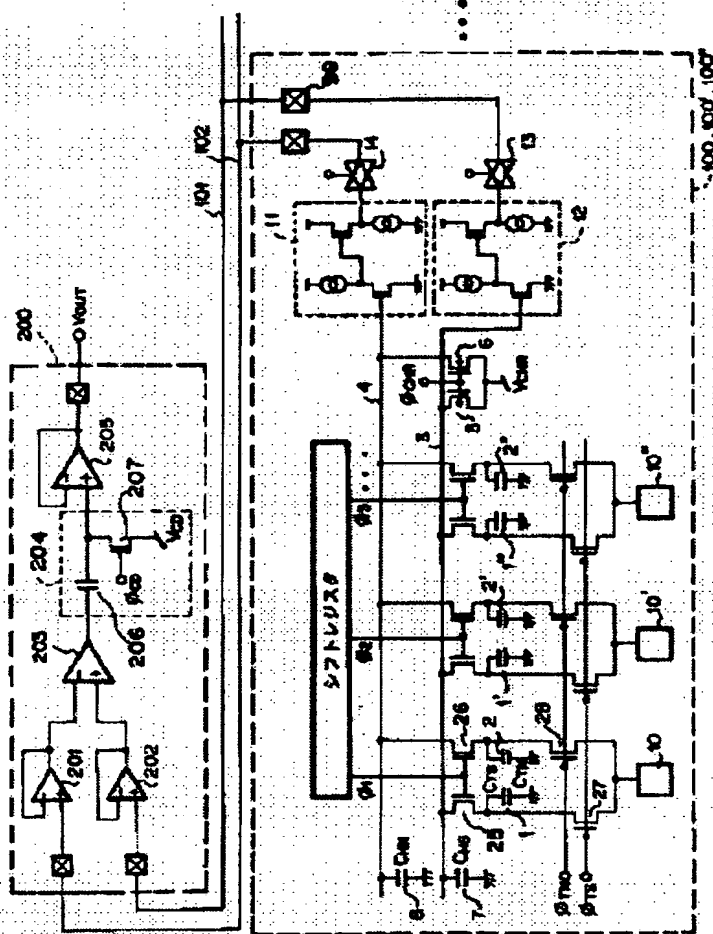
【図 8】



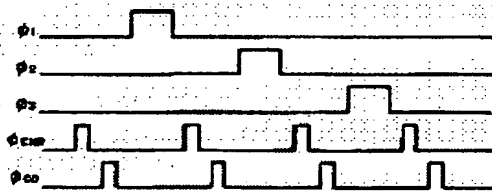
【図 9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 固定パターンノイズの小さいイメージセンサーの提供。

【解決手段】 光電変換装置と、前記光電変換装置の信号を入力する信号処理回路と、前記信号処理回路の出力に接続する信号出力端子と、前記信号処理回路に接続する基準電圧端子と、基準電圧回路と、前記基準電圧回路と前記基準電圧端子の間に設けられた抵抗とからなるイメージセンサー IC とし、複数の前記イメージセンサー IC の基準電圧端子を電氣的に接続した。

【選択図】 図 1

特願 2 0 0 3 - 0 4 9 5 7 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 2 5]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社